

Calcolatori Elettronici – A.A. 2005/2006

Prima Prova in Itinere

27 aprile 2006

- La durata della prova è di 120 minuti.
- *Riportare nell'intestazione di ogni foglio (a stampatello) i seguenti dati: cognome, nome, matricola, codice del compito.*

Obblighi, divieti e suggerimenti

- *Tutti i fogli utilizzati (compreso questo) devono essere consegnati.*
- *Per richieste di fogli aggiuntivi, incomprendimenti del testo rivolgersi esclusivamente al docente.*
- *E' vietato consultare libri, eserciziari, appunti ecc.. Chiunque verrà trovato in possesso di documentazione relativa al corso vedrà annullato il proprio compito.*
- *Qualsiasi tipo di interazione con un collega determinerà l'annullamento del compito (di entrambi) o la penalizzazione fino al 50% del punteggio ottenuto.*
- *Scrivere in modo chiaro e ordinato.*
- *La copia di brutta deve essere distinguibile dalla copia di bella.*

Procedura per la consegna del compito

1. *Attirare l'attenzione del docente con un cenno della mano (senza proferire parola).*
2. *Il docente vi autorizzerà ad alzarvi dal posto e a consegnare il compito.*
3. *Uscire dall'aula (non sarà più consentito ritornare al proprio posto fino alla fine dell'esame).*

Esercizio 1 [50%]

Tracciare il diagramma degli stati di una macchina sequenziale sincrona con un ingresso x e un'uscita z che produce $z=1$ se e solo se gli ultimi quattro bit ricevuti sulla x costituiscono un palindromo (cioè una stringa che si legge ugualmente nei due sensi). La macchina è in grado di rilevare anche sequenze sovrapposte. Per esempio:

x	0	1	1	0	0	1
z	0	0	0	1	0	1

Esercizio 2 [50%]

Data la seguente tabella degli stati:

Stato	Ingresso			
	00	01	11	10
A	C/1	C/0	B/1	A/1
B	E/1	B/1	D/0	C/1
C	D/1	A/1	C/0	B/0
D	E/0	D/1	E/0	D/1
E	D/0	D/1	E/0	E/1

1. Minimizzarla e assegnare una codifica a numero minimo di bit [10%]
2. Sintetizzare la logica di uscita [30%]
3. Sintetizzare la logica di stato prossimo considerando come elementi di memoria flip-flop di tipo JK. Si utilizzi il metodo di Quine-McCluskey per la sintesi di circuiti a più uscite per sintetizzare almeno la logica di eccitazione di un flip-flop. [60%]

Esercizio 1

