

---

# Il Sottosistema di Memoria

Maurizio Palesi

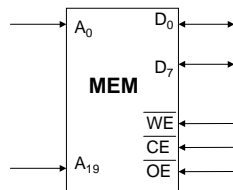
## Memoria RAM

---

- **RAM: Random Access Memory**
  - Tempi di accesso indipendenti dalla posizione
  - Statica o Dinamica
- Valutata in termini di
  - Dimensione (di solito espressa in MBytes)
  - Velocità (intesa come tempo di accesso solitamente in ns)
  - Dissipazione di potenza (in Watt assoluti o per bit)
  - Costo (molto aleatorio)
  - Integrazione (o densità) solitamente espressa in  $\mu\text{m}$  relativamente alla dimensione minima definibile del processo tecnologico utilizzato

## RAM Statica

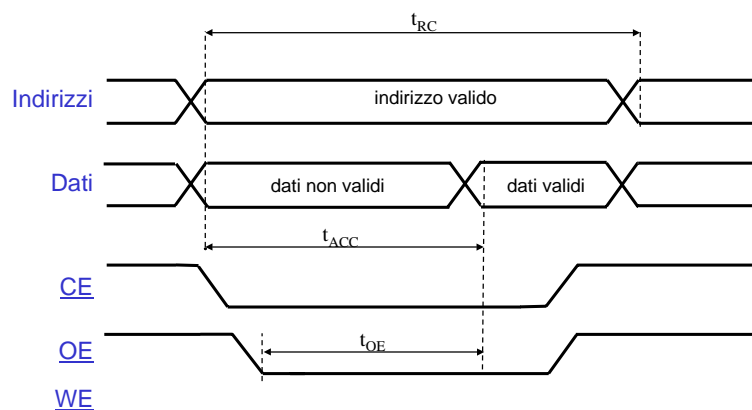
- Per memorizzare un bit sono necessari 4 o 6 transistor
  - Bassa densità e quindi bassa capacità per chip
  - Alta potenza dissipata
  - Bassi tempi di accesso → alta velocità
- Usata per i registri interni al processore e per la Cache



Maurizio Palesi

3

## Ciclo di Lettura in una SRAM



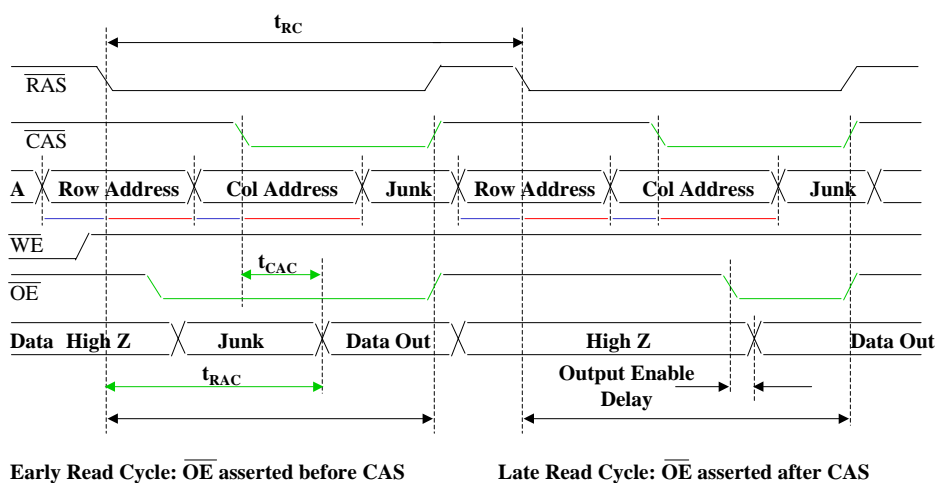
Maurizio Palesi

4

## RAM Dinamica

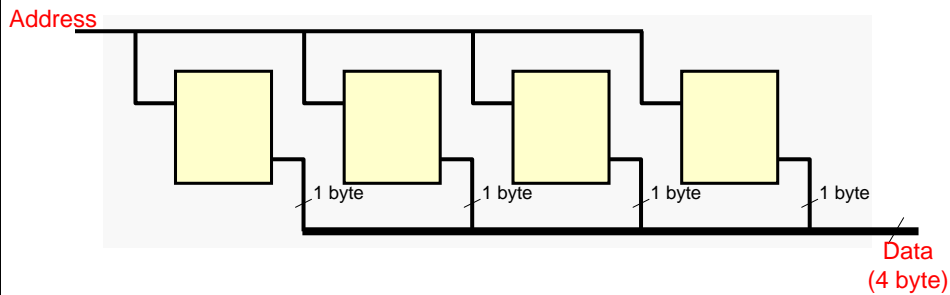
- Per memorizzare un bit è necessario 1 solo transistor MOS
  - Si sfrutta la carica immagazzinata nella capacità parassita del gate
  - Alta densità e quindi alta capacità per chip
  - Bassa potenza dissipata
  - Necessita dei cicli di rinfresco per evitare la perdita di carica sulla capacità parassita
  - Necessita di controllo di errore
  - Bisogna indirizzare prima le righe e poi le colonne della matrice di bit (o byte)
  - Alti tempi di ciclo di lettura → velocità più bassa delle statiche
  - Per l'interfacciamento con la CPU e la gestione del refresh necessitano, praticamente sempre, di un dispositivo chiamato DRAM Controller

## Ciclo di Lettura in una DRAM



# Organizzazione della Memoria

- Parametri da considerare
  - Tipo di IC, loro parallelismo e dimensione
  - Parallelismo del BUS dati e dimensione complessiva desiderata
- Per aumentare il parallelismo si può sfruttare il principio del Memory Interleaving



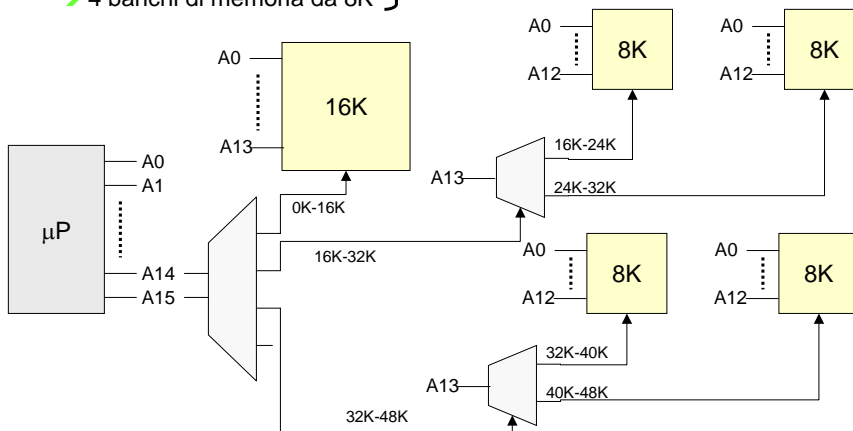
Maurizio Palesi

7

# Decodifica degli Indirizzi

## Indirizzamento Gerarchico

- Indirizzi a 16 bit (memoria indirizzabile 64K)
  - 1 banco di memoria da 16K } 48K
  - 4 banchi di memoria da 8K



Maurizio Palesi

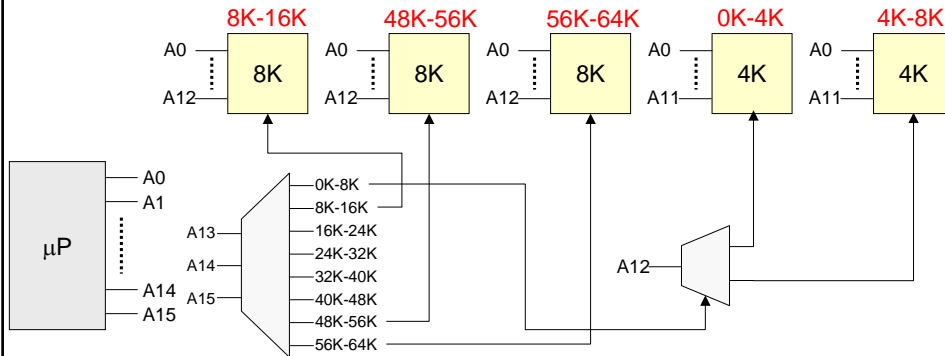
8

## Decodifica degli Indirizzi

### Indirizzamento Gerarchico

- Indirizzi a 16 bit (memoria indirizzabile 64K)

- 3 banche di memoria da 8K } 48K
- 2 banche di memoria da 4K }



Maurizio Palesi

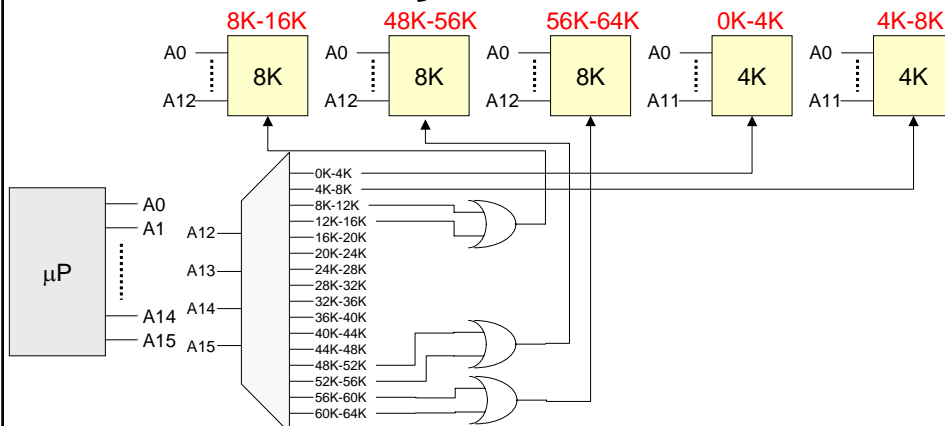
9

## Decodifica degli Indirizzi

### Indirizzamento Lineare

- Indirizzi a 16 bit (memoria indirizzabile 64K)

- 3 banche di memoria da 8K } 48K
- 2 banche di memoria da 4K }

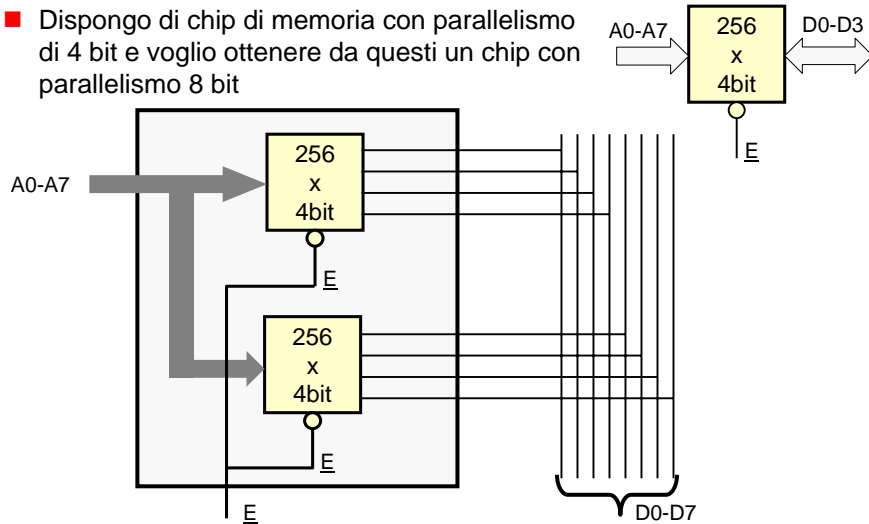


Maurizio Palesi

10

## Collegamento dei Chip di Memoria in Parallelo

- Dispongo di chip di memoria con parallelismo di 4 bit e voglio ottenere da questi un chip con parallelismo 8 bit

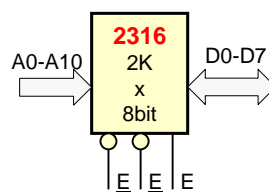


Maurizio Palesi

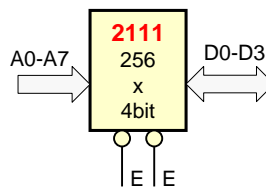
11

## Decodifica degli Indirizzi Incompleta

- 6KB di memoria ROM  
→ Dispongo di chip 2316



- 512B di memoria RAM  
→ Dispongo di chip 2111



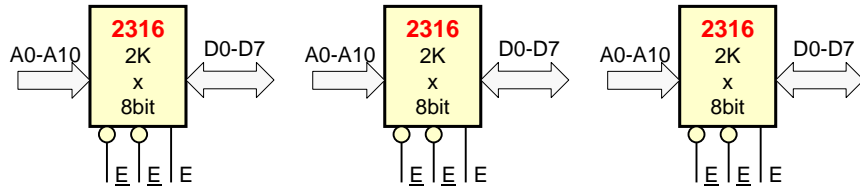
Maurizio Palesi

12

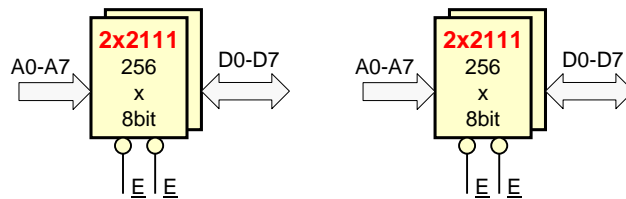
## Decodifica degli Indirizzi

### Incompleta

- 6KB di memoria ROM



- 512B di memoria RAM



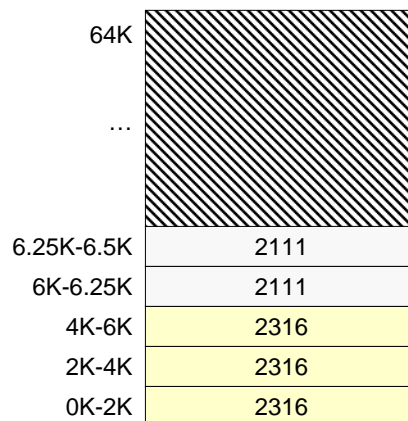
Maurizio Palesi

13

## Decodifica degli Indirizzi

### Incompleta

- Si vogliono mappare questi 6.5KB in questo modo (si consideri un indirizzamento a 16 bit)



Maurizio Palesi

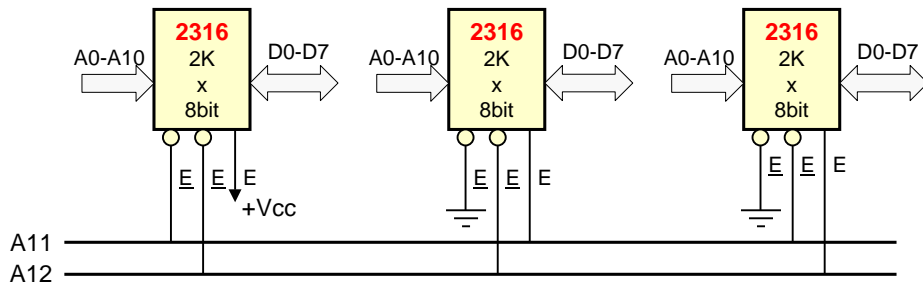
14

## Decodifica degli Indirizzi

### Incompleta

- Circuito di decodifica degli indirizzi per le ROM (0KB-6KB)

- Da 0K a 2K se  $A_{11}=A_{12}=0$
- Da 2K a 4K se  $A_{11}=1$  e  $A_{12}=0$
- Da 4K a 6K se  $A_{11}=A_{12}=1$



Maurizio Palesi

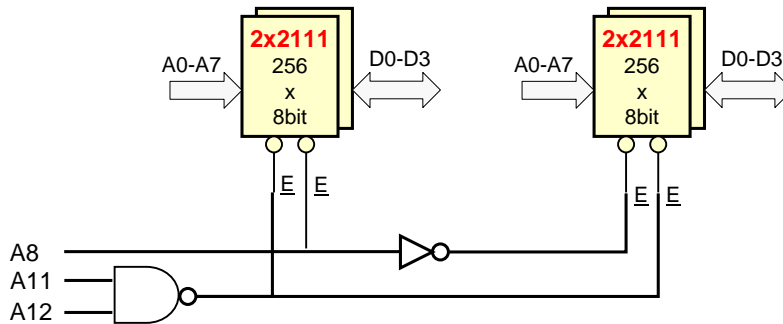
15

## Decodifica degli Indirizzi

### Incompleta

- Circuito di decodifica degli indirizzi per le RAM (6KB-6.5KB)

- Da 6K a 6.25K se  $A_{11}=A_{12}=1, A_8=0$
- Da 6.25K a 6.5K se  $A_{11}=A_{12}=1, A_8=1$



Maurizio Palesi

16

## Decodifica degli Indirizzi

### Incompleta vs Completa

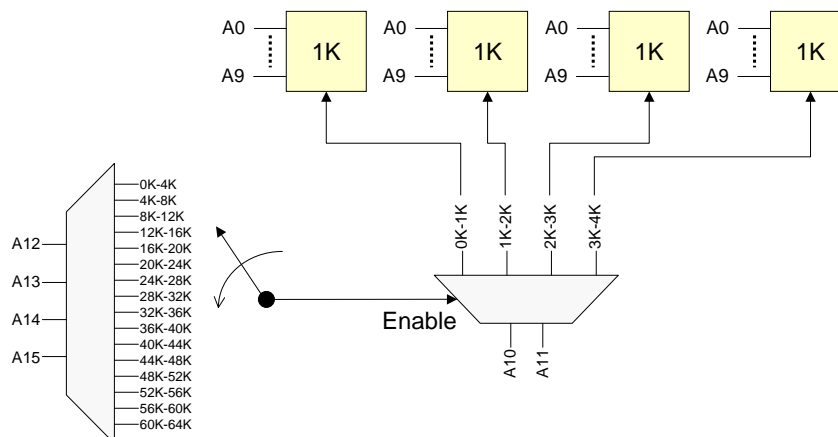
- Decodifica incompleta degli indirizzi
  - I bit del bus degli indirizzi sono 16 ma la logica di decodifica ne ha utilizzato soltanto 13
  - Non c'è una corrispondenza biunivoca tra indirizzo e cella di memoria
    - ✓ Indirizzi diversi possono essere mappati sulla stessa cella di memoria
  - Si ha una periodicità di 8KB
- Decodifica completa degli indirizzi
  - Corrispondenza di biunivocità tra indirizzo e cella di memoria
  - Occorre prendere in considerazione i bit di indirizzo non considerati (A13, A14, A15)
    - ✓ Per esempio, se anche uno di questi è diverso da 0 allora tutti i chip devono essere disabilitati
- Naturalmente l'utilizzo dei decodificatori avrebbe semplificato notevolmente il progetto

Maurizio Palesi

17

## Decodifica ad Indirizzo Base Variabile

- Si vogliono mappare 4KB di memoria all'interno di uno spazio di indirizzamento di 64KB a partire da una delle qualsiasi  $64\text{KB}/4\text{KB}=16$  possibili partizioni



Maurizio Palesi

18