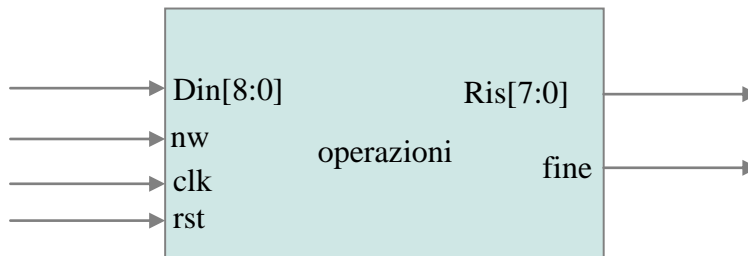


Compito di Laboratorio di Calcolatori
Prova VHDL
19/07/2012

Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema è ha il compito di realizzare una delle seguenti operazioni:

- ADD : legge 2 valori da Din (D0 e D1) e ne fa la somma $Ris = D0 + D1$
OP= "000"
- SUB : legge 2 valori da Din (D0 e D1) e ne fa la differenza $Ris = D1 - D0$
OP= "001"
- AND : legge 2 valori da Din (D0 e D1) e ne fa l'AND $Ris = D0 \text{ AND } D1$
OP= "010"
- OR : legge 2 valori da Din (D0 e D1) e ne fa l'OR $Ris = D0 \text{ OR } D1$
OP= "011"
- DIV : legge 2 valori da Din (D0 e D1) e ne fa il rapporto $Ris = D1 / D0$
OP= "100" . Si assuma che D0 sia sempre diverso da zero.
-

Una nuova operazione ha inizio quando l'ingresso nw viene attivato per un ciclo di clock.

Nel fronte di discesa del ciclo di clock in cui nw è attivo viene letta l'operazione da eseguire tramite l'ingresso Din.

Nel ciclo di clock successivo alla lettura dell'operazione viene eseguita la decodifica e sul fronte di discesa del clock viene eseguita la lettura del primo operando tramite Din.

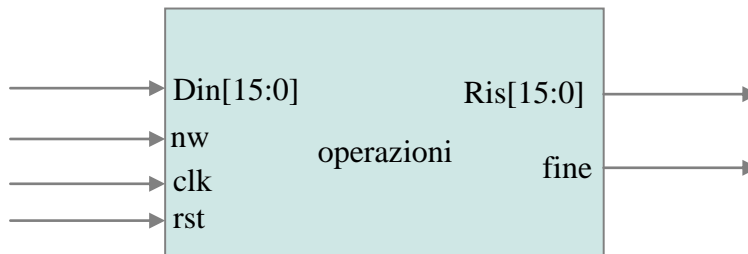
Dopo la decodifica, prima viene letto il secondo operando tramite Din, e poi ha inizio l'esecuzione dell'operazione.

Si assuma che la fase di esecuzione nel caso di DIV venga eseguita in 4 ciclo di clock, nel caso di ADD e SUB in 2 cicli di clock, negli altri casi in un solo ciclo di clock.

Al termine dell'operazione l'uscita fine viene posta a '1' per un ciclo di clock.

Compito di Laboratorio di Calcolatori
Prova VHDL
19/07/2012

Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema è ha il compito di realizzare una delle seguenti operazioni:

- ADD : legge 2 valori da Din (D0 e D1) e ne fa la somma $Ris = D0 + D1$
OP= "000"
- SUB : legge 2 valori da Din (D0 e D1) e ne fa la differenza $Ris = D1 - D0$
OP= "001"
- AND : legge 2 valori da Din (D0 e D1) e ne fa l'AND $Ris = D0 \text{ AND } D1$
OP= "010"
- OR : legge 2 valori da Din (D0 e D1) e ne fa l'OR $Ris = D0 \text{ OR } D1$
OP= "011"
- MULT : legge da din D0 e fa il prodotto $Ris = D0[15:8] * D0[7:0]$
OP= "100".

Una nuova operazione ha inizio quando l'ingresso nw viene attivato per un ciclo di clock.

Nel fronte di discesa del ciclo di clock in cui nw è attivo viene letta l'operazione da eseguire tramite l'ingresso Din.

Nel ciclo di clock successivo alla lettura dell'operazione viene eseguita la decodifica e sul fronte di discesa del clock viene eseguita la lettura del primo operando tramite Din.

Dopo la decodifica, nel caso di MULT ha inizio l'esecuzione dell'operazione; negli altri casi, prima viene letto il secondo operando tramite Din, e poi ha inizio l'esecuzione dell'operazione.

Si assuma che la fase di esecuzione nel caso di MUL venga eseguita in 4 ciclo di clock, nel caso di ADD e SUB in 2 cicli di clock, negli altri casi in un solo ciclo di clock.

Al termine dell'operazione l'uscita fine viene posta a '1' fino all'avvio di una nuova operazione.