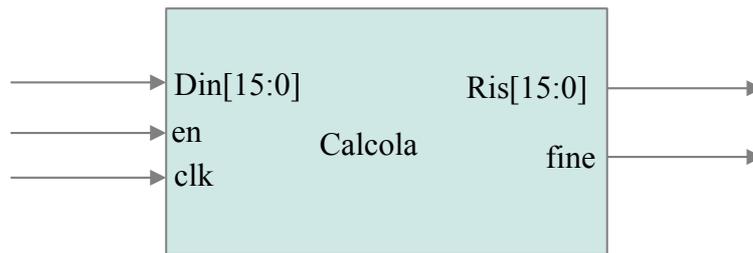
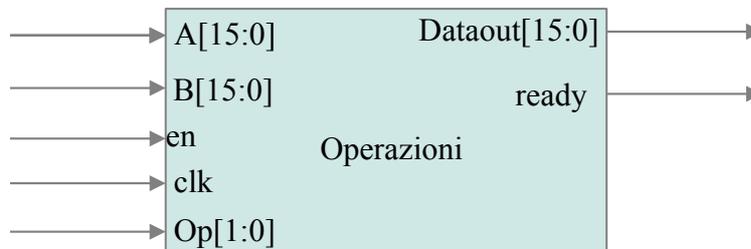


Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Il sistema ha il compito di realizzare la somma o il prodotto di una coppia di valori da leggere in sequenza tramite l'ingresso Din.  
 Il segnale **en** viene posto a '1' nel periodo in cui viene eseguito il calcolo e viene posto a '0' non appena l'uscita **fine** viene attivata.  
 Nel ciclo di clock in cui **en** viene attivato, viene inviato tramite l'ingresso Din il codice relativo all'operazione da eseguire: somma = 0, prodotto = 1.  
 Nei 2 cicli di clock successivi vengono inviati, sempre tramite Din i 2 operandi.  
 Al terzo ciclo di clock dopo l'attivazione dell'ingresso **en**, viene eseguita l'operazione richiesta.  
 Alla fine del calcolo l'uscita fine viene posta a '1' e viene posta nuovamente a '0' non appena en = '0' .

Modellare in vhdl sintetizzabile e simulare un sistema digitale caratterizzata dalla seguente interfaccia :



Questo sistema può realizzare una delle seguenti operazioni:  
 - Somma tra due numeri letti tramite gli ingressi A e B (Op="00")  
 - Shift a destra del contenuto di A, di un numero di bit indicato da B (Op="01")  
 - Shift a sinistra del contenuto di A, di un numero di bit indicato da B (Op="10")  
 - Prodotto tra A[7:0] e B[7:0] (Op="11")  
 Quando l'ingresso en= '0' il sistema non è attivo e l'uscita ready è '1'.  
 Nel ciclo di clock successivo all'attivazione di en (en= '1'), vengono inviati sulle porte A,B e Op gli operandi e l'operazione che viene decodificata. Inoltre il segnale ready viene disattivato (ready='0').  
 Dopo la decodifica, vengono eseguite le operazioni richieste.  
 Si supponga che le operazioni di shift richiedano 1 solo ciclo di clock, la somma 2 cicli di clock e che il prodotto richieda 3 cicli di clock.  
 Al termine dell'operazione il segnale ready viene posto a '1' fino alla disattivazione dell'ingresso en.