

Calcolatori Elettronici  
Ing. Informatica  
Prova del 15/06/2011

1. Dato un processore pipeline (DLX) sul quale viene eseguito un programma per il quale abbiamo le seguenti frequenze per le istruzioni:

lw 20%, sw 15%, branch 10%, istruzioni R 55%.

Ipotizzando che per la gestione dei data hazard non si usi il forwarding, che l'aggiornamento dell'indirizzo nelle istruzioni branch avviene nella fase di execute, che per il 20% delle istruzioni R c'è una dipendenza dati tra l'istruzione  $i$  e l'istruzione  $i+1$  e che per il 10% delle istruzioni R c'è una dipendenza dati tra l'istruzione  $i$  e l'istruzione  $i+2$ , calcolare il miglioramento (speedup) rispetto alla versione sequenziale dello stesso processore.

2. Dati due processori P1 e P2, caratterizzati dai seguenti dati:

P1:  $N_{IST1}=N$ ,  $CPI_1=3,5$ ,  $T_1=1$  ns;

P2:  $N_{IST2}=0,8N$ ,  $CPI_1=2$ ,  $T_1=2$  ns;

Quale dei due processori ha le migliori prestazioni ?

3. Indicare l'espressione logica di un decodificatore  $2 \times 4$

4. Discutere della realizzazione cablata dell'unità di controllo mostrandone anche uno schema.

5. Parlare della politica direct mapped per il block placement nella memoria cache.

6. Cosa sono i data hazard nella pipeline? Indicare le possibili soluzioni a questo tipo di hazard.